

基于热影响及布局利用率的三维集成电路布局规划算法设计

胡中星,王 琴,谢 憬,毛志刚

(上海交通大学 电子信息与电气工程学院,上海 200240)

摘 要: 针对三维集成电路设计流程中存在的布局规划问题,提出了协同考虑热影响和布局利用率的布局规划算法设计方案,并利用多次模拟退火过程,实现完整三维集成电路布局规划算法的设计流程. 通过对通用的 MCNC benchmark 基准电路的验证,相比已有的布局规划方案,该布局规划算法在峰值温度降低 3% 左右的情况下,在布局利用率上能够得到平均 30% 以上的性能提升.

关键词: 三维集成电路; 布局规划; 热影响; 利用率

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)04-0001-05

Design of Floorplanning Algorithm in Three-Dimension Integrated Circuit Based on Thermal and Utilization

HU Zhong-xing, WANG Qin, XIE Jing, MAO Zhi-gang

(School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: To address the floorplanning problem in 3D IC design flow, this paper proposes a floorplanning algorithm based on thermal and utilization. Several simulated annealing processes are also used in the design. At last, a modified 3D IC floorplanning design flow is completed. This paper verifies the new algorithm on MCNC benchmark circuits. According to the result, the new algorithm improves the floorplanning utilization above 30% in average as well as decreases peak temperature by about 3%.

Key words: 3D IC; floorplanning; thermal; utilization

1 引言

随着集成电路的快速发展,在晶体管尺寸已经接近物理极限的情况下,三维集成电路(Three-Dimension Integrated Circuit, 3D IC)应运而生,借助第三个维度来实现立体集成,可以极大地实现芯片规模的生长,维持摩尔定律的发展.

相比于传统的二维集成电路设计流程,采用硅直通孔(Through-Silicon Via, TSV)技术的三维集成电路设计方法,能够大幅提升芯片集成度,极大减少互连线长度,从而实现高速设计,同时还带来信号完整性等设计优化,被业界认为是可能引发半导体

技术革新的方法. 然而,较高的集成度和密集的封装,将造成芯片的散热问题,3D IC 的热分析和集成度的协同考虑成为了重中之重.

基于 3D IC 的布局规划技术可以有效解决设计流程中遇到的这些问题,不同于传统 2D 电路布局规划的只对面积和线长的优化,3D IC 的布局规划技术在优化芯片面积和线长的基础上,同时协同考虑芯片堆叠产生的热问题、芯片集成的密度以及宽高比等问题,最终获得更优的布局规划结果. 本文针对 3D IC 中布局规划问题,改进了文献[1]中的算法,提出了一种协同考虑面积、线长、温度及宽高比、布局利用率的 3D IC 布局规划(Floorplan 3D, FP3D)算法.

2 芯片热影响及利用率分析

2.1 热影响分析

3D IC 设计过程中,对模块级的芯片布局规划研究时,芯片堆叠产生较大的热功耗途径主要有两种^[2]:一是同层临近模块之间的热传递;二是上下层模块重叠产生的热功耗.当芯片持续工作后,在内部某些局部区域会产生较高的热量,给芯片的正常工作带来不利的影响,因此,分析时需要协同考虑芯片平均温度和局部的峰值温度.

如图 1 中所示,假定有 4 个模块,温度分别为 T_1 、 T_2 、 T_3 、 T_4 ,其中 $T_1 > T_2$ 、 $T_4 > T_3$.

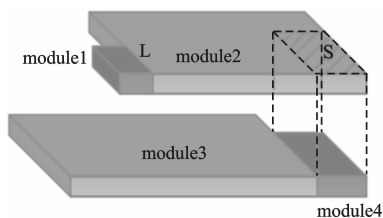


图 1 芯片模块级热传递示意图

同层模块中,临近的模块 1 和模块 2 之间,温度较高的模块 1 会向温度较低的模块 2 传热,导致周边的模块温度升高,假设重叠部分的长度为 L ,比例系数为 t ,产生的热量可由式(1)表示:

$$\text{heat}_{12} = t \times (T_1 - T_2) \times L \quad (1)$$

同样,芯片向第三个维度堆叠之后,模块 2 和模块 4 在垂直方向的重叠部分形成区域 S ,重叠的区域 S 由于散热问题会产生较多的热量,比例系数为 t' ,由式(2)表示:

$$\text{heat}_{43} = t' \times (T_4 + T_3) \times S \quad (2)$$

2.2 芯片布局利用率分析

3D IC 的主要设计目标是能够获得更高的集成度和更短的互连线,但为了获得较低的温度,现有的布局规划算法往往会牺牲布局的利用效率,将模块放置较远的位置,以使整个芯片温度降低^[3].这种方法虽然考虑了温度这一因素,但以芯片的集成度为代价,浪费了芯片面积.假设布局后芯片面积为 S ,层数为 k ,模块总面积为 A ,则芯片布局利用率为每层实际的模块面积占布局之后的芯片总面积的比重,同时,在本文中为了迭代计算方便,布局利用率通过空白无效部分(Deadspace)占总的芯片面积的多少来计算,由式(3)表示:

$$\text{Utilization} = 1 - \text{Deadspace} = \frac{A}{k \times S} \times 100 \% \quad (3)$$

另外,多层划分时需要考虑每层芯片的宽高比,布局规划之后各层芯片有接近的宽高比值(Aspect Ratio, AR)能够极大地增加芯片布局的利用率,这里使用宽高比损耗 AR_{cost} 来度量这一比值,由式(4)表示:

$$\text{AR}_{\text{cost}} = \sum_{i=1}^k (\text{AR}_i - 1)^2 \quad (4)$$

3 三维集成电路布局规划算法设计

3.1 问题描述

针对 3D IC 布局规划问题建立数学模型,输入为芯片模块级划分电路 M 、目标布局层数 k ;输出为完成布局规划的设计方案.其中,输入的待布局电路 M 由一系列模块 $m_i(x_i, y_i, s_i, l_i, w_i, p_i)$ 组成, $1 \leq i \leq n$, m_i 中包含各自电路模块的面积 s_i 、长度 l_i 、宽度 w_i 、坐标位置 (x_i, y_i) 及功耗 p_i 等信息,同时,还包括模块 m_i 和 m_j 之间的互连信息 $C_{i,j}$ 及 I/O 的位置分布^[4].通过 FP3D 算法模型的迭代运算,将电路模块 m_i 放置到合适的芯片层上,并摆放到合理的位置,保证模块 m_i 和 m_j 之间没有重叠,且整个布局的代价函数较小,使得布局规划结果准确、有效.

本方案提出的 FP3D 算法模型采用多目标优化的布局规划方法,度量指标包括面积(Area)、线长(Wire Length, WL)、平均温度(Average Temperature, T_{avg})、峰值温度(Peak Temperature, T_{peak})、宽高比损耗、布局利用率等参数.

3.2 FP3D 算法实现

本方案提出的 FP3D 算法是以文献[1]中的 3dfp 软件为基础的改进算法,在优化芯片峰值温度的同时,协同考虑平均温度、布局利用率及芯片宽高比,使得芯片的布局方案在获得合理的面积、线长、温度的同时,保持较高的芯片利用率.

经典的模拟退火(Simulated Annealing, SA)算法是由 Kirkpatrick 等人提出并应用于组合优化问题的求解,是一种经典的最优化求解算法^[5],基本思想是给定初始解 S_0 , $F = S_0$,通过不停的迭代获得新解 S ,并比较新解 S 与原有解 F 的增量,如果新解 S 优于原有解 F 则替换原有解 $F = S$,如果原有解 F 优于新解 S 则以一定的概率 p 接受新解,直至连续几次新解不被接受,终止迭代过程,得到最优解 F_{final} .本文将 SA 算法应用到 3D IC 的布局规划算法中,获得布局规划方案,具体 FP3D 算法实现流程如图 2 所示.

第一阶段,算法初始化:

① 确定三维芯片划分层数 k , 同时输入待布局规划的电路 M ;

② 读取电路 M 中各模块 m_i 的信息, 包括面积 s_i 、长度 l_i 、宽度 w_i 、位置 (x_i, y_i) 、功耗 p_i , 以及互连信息 $C_{i,j}$ 及 I/O 的位置分布, 并获取模块温度;

③ 计算所有模块的平均温度 T_{avg} , 并将 $T_i > T_{avg}$ 的模块 i 标记为高温模块;

④ 将高温模块按照贪心选择策略以一定比例放入不同芯片层, 然后将剩余的模块按照随机原则放入不同芯片层;

⑤ 初始化完成.

第二阶段, 第一次 SA 算法实现, 完成层间扰动:

① 根据初始化布局结果, 记录初始值 F_0 (Area, WL, AR_{cost} , Deadspace);

② 定义并计算第一阶段代价函数, 由式(5)所示,

$$cost_1 = \alpha \times area + \beta \times WL + \delta \times AR_{cost} + \lambda \times Deadspace \quad (5)$$

③ 模块 m_i 进行层间扰动, 此时高温模块不能在层间移动, 只能进行层内的扰动操作;

④ 计算得到新解 S , 若 $cost_{new} < cost$, 则接受新解, $F = S$; 若 $cost_{new} > cost$, 则仍以概率 p 接受新解, 概率 p 由随机函数产生;

⑤ 连续多次新解不被接受, 结束当前阶段, 默认次数为 5 次.

第三阶段, 第二次 SA 算法实现, 完成层内扰动:

① 根据第一阶段的结果, 记录原始值 F' (area, WL, AR_{cost} , Deadspace, T_{avg} , T_{peak});

② 定义并计算第二阶段代价函数, 由式(6)所示,

$$cost_2 = \alpha \times area + \beta \times WL + \delta \times AR_{cost} + \lambda \times Deadspace + \varphi \times T_{avg} + \mu \times T_{peak} \quad (6)$$

③ 层内扰动, 所有模块不可层间移动;

④ 计算得到新解 S' , 若 $cost'_{new} < cost'$, 则接受新解, $F' = S'$; 若 $cost'_{new} > cost'$, 则仍以概率 p 接受新解, 概率 p 由随机函数产生;

⑤ 连续多次新解不被接受, 结束整个布局规划的迭代过程, 输出最终解.

本方案提出的 FP3D 算法, 流程如图 2 所示, 通过多目标求解完成对代价函数的优化, 针对本算法问题的主要求解的代价函数由式(6)所示, 其中, $\alpha +$

$\beta + \delta + \lambda + \varphi + \mu = 1$, $\alpha, \beta, \delta, \lambda, \varphi, \mu$ 根据实际情况设定, 分别表示各个度量参数在算法迭代过程中的权重^[6]. 本方案的 FP3D 算法相比于已有的设计方案, 在取得较好的面积和线长的结果的基础上, 同时考虑平均温度和峰值温度, 以便获得更为准确的温度参数, 另外, 协同考虑芯片布局方案的宽高比和芯片利用率, 保证 3D IC 在优化温度设计的同时维持较高的芯片集成度.

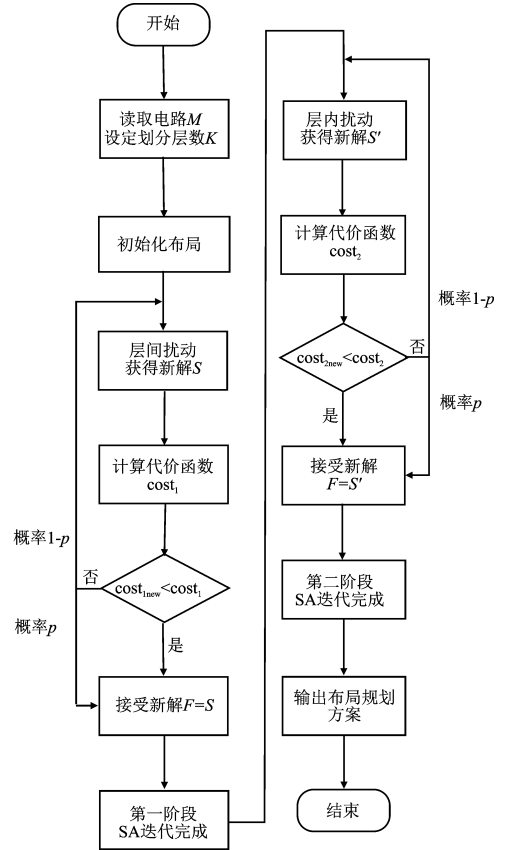


图 2 FP3D 算法流程图

4 实验仿真与性能评估

4.1 仿真验证平台

本文提出的 FP3D 算法使用 C++ 实现, 芯片温度通过 University of Virginia 开发的 Hotspot^[7] 软件验证, 仿真验证硬件平台是 2 GHz 的 Dual Core AMD 处理器, 内存为 8 GB, 操作系统是 Red Hat Enterprise Linux AS4, 编译工具是 gcc 3.4.6, 仿真验证所用的电路是 MCNC Benchmark^[8] 中 xerox、hp、ami33 基准电路.

4.2 电路验证与分析

MCNC 基准电路由一系列电路组成, 并被广泛应用于布局规划的算法研究, 本方案验证过程中应

用了其中的 xerox、hp、ami33 等几种基准电路,利用基准电路研究并验证 FP3D 算法的可行性和准确性.

电路 xerox 由 10 个模块组成,首先使用原有的 3dfp 软件对 xerox 电路进行布局规划设计,默认划分层数为 2 层,然后使用本文提出的 FP3D 算法对 xerox 电路进行 3D IC 的布局规划设计,迭代完成后统计相应的参数值并比较性能差异,为获得更一般情形,进行了三次仿真,仿真结果如表 1 所示. 从

表 1 xerox 仿真结果

	面积/ μm^2	线长/ μm	平均温度/ $^{\circ}\text{C}$	峰值温度/ $^{\circ}\text{C}$	宽高比损耗	空白区域/%	时间/s
文献[1]	11 200 400	596 296	50.69	56.19	0.677 018	13.617 6	42.96
FP3D#1	10 617 700	468 519	50.62	53.69	0.141 674	8.877 28	42.94
FP3D#2	10 020 600	351 953	50.63	54.09	0.388 201	3.447 64	34.05
FP3D#3	9 975 060	363 764	50.47	55.53	0.070 136	3.006 58	50.18

电路 hp 包括 11 个模块,同样对这 11 个模块分别进行原 3dfp 算法和改进后的 FP3D 算法布局规划设计,仿真验证结果如表 2 所示,在面积上有 16.58%的性能提升,而在线长、平均温度、峰值温度上分别有 8.14%、1.35%、3.1%的性能优化,宽高比和布局利用率有较大的优化,分别提升 9.19%和 66.63%. 但是,随着模块的增加和优化目标的增多,算法迭代所需的时间也随之变长,CPU 时间有 10.78%的额外开销.

电路 ami33 共有 33 个模块,按照同样方法进行布局规划设计,仿真验证结果如表 3 所示,在线长上有 23.83%的性能提升,而在面积、平均温度、峰值温度上分别有 3.01%、0.99%、3.24%的性能提升,在宽高比和布局利用率上仍有较多的优化,分别是 56.35%和 31.98%. 同样,由于 ami33 包含的电路模块较多,加上 FP3D 算法有较多优化目标,不可避免地增加了时间开销,CPU 时间也有 12.58%的增加.

通过上述三种电路的布局规划设计仿真结果可以看出,本文 FP3D 算法在面积和线长上有不同程度的性能优化,在温度方面,堆叠之后的平均温度能够有 1%左右的小幅提升,而峰值温度能够获得较为明显的 3%左右的优化,虽然优化程度不及其他优化目标,但对于 3D IC 的设计来说,温度的降低对芯片的稳定工作有着十分重要的影响,并且可以发

仿真结果可以看出,本文 FP3D 算法相比于原有 3dfp 算法有一定的性能提升,在面积上有 8.89%的提升,在线长上有 33.8%的提升,而在温度方面,相比于原有的设计方案,平均温度有略微的 0.23%的优化,峰值温度则有 3.12%的改善,在宽高比和布局利用率方面,FP3D 算法分别有 11.37%和 62.47%的性能提升,同时可以看出,虽然 FP3D 算法比改进前算法有更多优化目标,CPU 时间仍有 1.33%的优化.

现,在保持温度优化的同时,芯片宽高比和布局利用率等参数有着平均 30%以上的提升,从而得到更为可观的芯片集成度. 但是,随着电路模块规模和优化目标的增加,FP3D 算法迭代时间也随之增加,事实上,以一些额外时间开销为代价获得更为优化的布局规划结果是完全可以接受的.

最后,利用本文提出的 FP3D 算法对 ami33 电路进行多层布局规划,验证过程中将电路分别划分为 2 层、3 层和 4 层,主要分析面积、线长和峰值温度在不同分层结果下的变化情况,将 2 层划分结果作为参考,相应的验证关系如图 3 所示. 从仿真结果可以看出,随着芯片划分层数的增加,面积和线长会随之减少,而堆叠之后芯片的峰值温度会逐渐增加,因此,3D IC 设计过程中,需要权衡芯片堆叠层数和面积、线长、温度之间的关系,以便获得合理的设计.

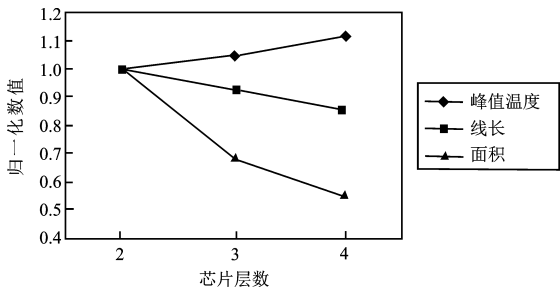


图 3 芯片层数与各项目标之间关系

表 2 hp 仿真结果

	面积/ μm^2	线长/ μm	平均温度/ $^{\circ}\text{C}$	峰值温度/ $^{\circ}\text{C}$	宽高比损耗	空白区域/%	时间/s
文献[1]	5 740 800	126 923	50.79	55.94	0.534 021	23.089 3	13.73
FP3D#1	4 996 040	118 090	50.47	55.29	0.417 343	11.624 2	26.64
FP3D#2	4 620 640	124 789	50.20	55.14	0.338 219	4.444 23	7.48
FP3D#3	4 749 930	106 887	49.64	52.18	0.690 247	7.045 19	11.51

表 3 ami33 仿真结果

	面积/ μm^2	线长/ μm	平均温度/ $^{\circ}\text{C}$	峰值温度/ $^{\circ}\text{C}$	宽高比损耗	空白区域/%	时间/s
文献[1]	635 257	35 450	53.66	57.60	0.384 785	8.977 86	41.48
FP3D#1	616 923	28 639	52.88	55.04	0.209 504	6.272 82	37.35
FP3D#2	632 212	24 799	53.29	55.61	0.175 294	8.539 46	43.67
FP3D#3	599 203	27 573	53.22	56.55	0.119 070	3.507 07	59.07

5 结束语

本文提出了一种协同考虑热影响和芯片布局利用率的三维集成电路布局规划设计方案,同时考虑面积、线长、宽高比等因素. 为了实现这种设计方案提出了改进型的 FP3D 算法,并利用 C++ 代码实现算法功能. 通过仿真验证,证明了本文的 FP3D 算法在保证芯片温度优化的前提下,提高了 3D IC 布局利用率,实现 3D IC 的高度集成.

参考文献:

[1] Hung W L, Link G M, Xie Y, et al. Interconnect and thermal-aware floorplanning for 3D microprocessors [C]// Quality Electronic Design, 2006. San Jones; IEEE, 2006: 6-104.

[2] 邹毅文. 三维芯片 TSV 敏感的电路划分和温度敏感的布图规划研究[D]. 合肥:合肥工业大学, 2012.

[3] Wen C C, Chen Y J, Ruan S J. Cluster-based thermal-aware 3D-floorplanning technique with post-floorplan TTSV insertion at via-channels[C]//Quality Electronic Design (ASQED), 2013 5th Asia Symposium on. Penang;IEEE, 2013: 200-207.

[4] 王伟, 张欢, 方芳, 等. 2TF: 一种协同考虑过硅通孔和热量的三维芯片布图规划算法[J]. 电子学报, 2012, 40(5): 971-976.

[5] Chen T C, Chang Y W. Modern floorplanning based

on B*-tree and fast simulated annealing[J]. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 2006, 25(4): 637-650.

[6] Lu J, Wang Q, Xie J, et al. TSVs-aware floorplanning for 3D integrated circuit[C]// ASIC (ASICON), 2013 IEEE 10th International Conference on. Shenzhen;IEEE, 2013: 1-4.

[7] Huang W, Ghosh S, Sankaranarayanan K, et al. HotSpot: Thermal modeling for CMOS VLSI systems [J]. IEEE Transactions on Very Large-Scale Integrated Circuits , 2006,14(5): 501-513.

[8] SMU LYLE. MCNC benchmark netlists for floorplanning and placement[EB/OL]. [2015-04-03]. http://lyle.smu.edu/~manikas/Benchmarks/MCNC_Benchmark_Netlists.html.

作者简介:

胡中星 男,(1990-),硕士研究生. 研究方向为大规模数字集成电路设计. E-mail:chuensingwo@163.com.

王 琴 女,(1975-),副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.

谢 憬 男,(1981-),助理研究员. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法.

毛志刚 男,(1962-),教授,博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.